

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-102877

(43) 公開日 平成11年(1999) 4月13日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 21/28  
21/3205  
29/78

識別記号  
3 0 1

F I  
H 0 1 L 21/28  
21/88  
29/78  
3 0 1 R  
M  
3 0 1 G

審査請求 未請求 請求項の数11 O L (全 9 頁)

(21) 出願番号 特願平9-264380

(22) 出願日 平成9年(1997) 9月29日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 林 軍

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 筑根 敦弘

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

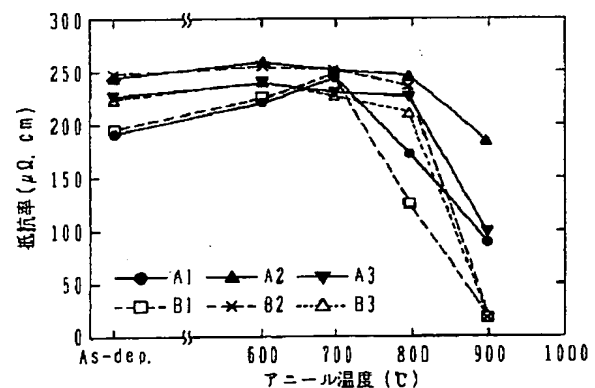
(74) 代理人 弁理士 高橋 敬四郎

(54) 【発明の名称】 窒化金属変換方法および半導体装置の製造方法

(57) 【要約】

【課題】 窒化金属の変換方法およびそれを用いた半導体装置の製造方法に関し、金属層を形成する新奇な方法を提供することである。

【解決手段】 下地表面の上に、W、Ta、Mo、Ti、Nb、Zr、Yから成る金属群から選択した少なくとも1種の金属の窒化物層を形成する工程と、前記窒化物層の上に酸化物層を形成する工程と、前記窒化物層と前記酸化物層との積層をアニールし、前記窒化物層の少なくとも一部を金属に変換する工程とを含む。



## 【特許請求の範囲】

【請求項1】 下地表面の上に、W、Ta、Mo、Ti、Nb、Zr、Yから成る金属群から選択した少なくとも1種の金属の窒化物層を形成する工程と、前記窒化物層の上に酸化物層を形成する工程と、前記窒化物層と前記酸化物層との積層をアニールし、前記窒化物層の少なくとも一部を金属に変換する工程とを含む窒化金属変換方法。

【請求項2】 前記酸化物層がシリコン酸化物で形成されている請求項1記載の窒化金属変換方法。

【請求項3】 前記酸化物層がECRプラズマまたはプラズマ励起CVDで形成したシリコン酸化物で形成されている請求項1または2記載の窒化金属変換方法。

【請求項4】 前記窒化物層がタングステン窒化物で形成されている請求項1～3のいずれかに記載の窒化金属変換方法。

【請求項5】 前記タングステン窒化物がプラズマ励起CVDで形成されたタングステン窒化物である請求項4記載の窒化金属変換方法。

【請求項6】 前記金属に変換する工程が800℃以上の温度でアニールすることを含む請求項4または5記載の窒化金属変換方法。

【請求項7】 前記金属に変換する工程が、窒素またはアルゴンまたはヘリウムを含む雰囲気、ないしは真空の雰囲気中でアニールすることを含む請求項4～6のいずれかに記載の窒化金属変換方法。

【請求項8】 半導体基板表面上にゲート絶縁層を形成する工程と、前記ゲート絶縁層上にシリコン層を形成する工程と、前記シリコン層上にW、Ta、Mo、Ti、Nb、Zr、Yから成る金属群から選択した少なくとも1種の金属の窒化物層を形成する工程と、前記窒化物層の表面を覆って酸化物層を形成する工程と、前記半導体基板をアニールし、前記窒化物層の少なくとも1部を金属に変換する工程とを含む半導体装置の製造方法。

【請求項9】 導電性領域を有する半導体基板の表面に第1酸化物層を形成する工程と、前記第1酸化物層を貫通して、前記導電性領域に達する開孔を形成する工程と、前記開孔を含む第1酸化物層の上にW、Ta、Mo、Ti、Nb、Zr、Yから成る金属群から選択した少なくとも1種の金属の窒化物層を形成する工程と、前記窒化物層を覆って第2酸化物層を形成する工程と、前記半導体基板をアニールし、前記窒化物層の少なくとも1部を金属に変換する工程とを含む半導体装置の製造方法。

【請求項10】 前記窒化物層がタングステン窒化物で形成され、前記第2酸化物層がシリコン酸化物で形成さ

れている請求項9記載の半導体装置の製造方法。

【請求項11】 前記アニールし、金属に変換する工程が800℃以上の温度でアニールすることを含む請求項10記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、材料の化学的変換方法および半導体装置の製造方法に関し、特に窒化金属の変換方法およびそれを用いた半導体装置の製造方法に関する。

## 【0002】

【従来の技術】高融点金属、特にタングステン、は、その優れた耐熱性、低抵抗率等により、半導体集積回路装置等において広く利用されている。例えば、多層配線を有する半導体集積回路装置において、タングステン膜を用い、絶縁層中に形成された開孔内を埋め込み、導電性プラグや配線層を形成する技術が用いられている。

【0003】また、タングステン窒化物等の高融点金属の窒化物は、半導体と金属間との間の相互拡散を防止するバリア性を有し、バリア金属層として利用されている。また、シリコン酸化膜上へのタングステン層の密着性は乏しいが、これらの層の間にタングステン窒化物層を形成すると、密着層としての機能を果たす。なお、バリア金属層として機能する窒化物層は、タングステン窒化物層に限らず、Ta、Mo、Ti、Nb、Zr、Y等の金属の窒化物にも認められる。これらの金属の窒化物は、バリア性等の共通した性質を有し、半導体装置等において同等、均等な役割を果たす材料として期待されている。

【0004】以下、タングステンおよびタングステン窒化物を例に取って説明する。タングステンおよびタングステン窒化物層は、化学気相堆積(CVD)によって、ブランケット(毛布)状にも導電表面上へ選択的にも成長させることができる。また、タングステンおよびタングステン窒化物層をスパッタリングや電子ビーム(EB)蒸着等の物理的気相堆積(PVD)によっても形成することができる。近年、プラズマ励起CVDによるタングステン窒化物層の堆積が注目を集めている。W層を直接Si表面やSiO<sub>2</sub>表面上に形成すると、以下のような問題が生じる。

【0005】Si表面上に直接W層を形成した場合、その後の熱処理工程においてSi表面とのシリサイド反応が生じうる。Wシリサイドは、Wよりも抵抗率が高く、所望の低抵抗率が得られない結果となってしまう。また、Si中にシリサイド層が侵入すると、pn接合の破壊等を生じてしまう。

【0006】Si/SiO<sub>2</sub>界面上にW層を低圧CVDによって成長しようとする、W層による浸食や、シリコン中へのトンネル形成等がしばしば生じる。

【0007】SiO<sub>2</sub>表面上に形成したW層は、密着性

10

20

30

40

50

が弱く、容易に $\text{SiO}_2$ 表面から剥離してしまう。

【0008】このような理由のため、W層を配線層等として半導体装置に用いる場合、その下層にTiN層やWN層を用いることが必要である。

【0009】タングステン窒化物層は、CVDおよび物理的気相堆積(PVD)によって形成することができる。現在、半導体集積回路装置において、タングステン層を配線層として用いる場合には、タングステン層の下にバリア層としてTiN層を形成したW/TiN積層構造が広く用いられている。近い将来においては、TiN層の代わりにWN層を用いたW/WN積層構造が同様に広く用いられることになろう。

【0010】Si表面上のWN層については、以下のような興味ある挙動が報告されている(C. Galewski et al: Advanced Metalization and interconnect System for ULSI Applications in 1996, Japan Session, Edited by K. Tsubouchi)。

【0011】Si表面上に直接W層を堆積した場合と、WN層を介してW層を堆積した場合とでは、堆積直後の抵抗率はWN層を介してW層を形成した場合が格段に低い。Si表面上に直接形成したW層は、高抵抗率の $\beta$ -W相を多く含み、その後例えば850℃でアニールすることによりシリサイド化反応が進んでしまう。これに対し、WN層を介してSi表面上に形成したW層は、低抵抗率の $\alpha$ -W層のみを含む。

【0012】堆積直後のX線回折の結果は、WN結晶の存在を示さない。すなわち、WN層はアモルファス層で堆積されていると考えられる。例えば650℃でアニールを行うと、W、N結晶の存在が現れる。さらに、850℃のアニールを行うと、WNもWSiも存在しない結果となる。この時、W/WN層であった金属層の抵抗は純粋なWと一致する極めて低い抵抗率(10  $\mu\Omega \cdot \text{cm}$ )を示す。

【0013】オージェー分析によれば、アニール温度を高くするにつれて積層中のN成分が減少する。850℃のアニール後においては、N成分は測定分解能以下となる。この結果はWNがWに変換されたことを示唆し、X線回折の結果と一致している。ところでW/WN積層をSi表面上に形成した場合、850℃のアニールを行ってもシリサイド化反応が生じた形跡は認められない。XTEMの実験によれば、850℃でアニールを行ったサンプルにおいて、約1nm程度の境界層が形成されていることが示される。この薄い境界層が、WN自身がもはや安定ではなくなる温度においてもWとSiとの間の反応を防止しているものと考えられる。

【0014】

【発明が解決しようとする課題】以上説明したように、

W層は半導体装置において広い可能性を有するが、その現実的利用においては制限が多かった。

【0015】本発明の目的は、金属層を形成する新奇な方法を提供することである。本発明の他の目的は、金属窒化物層を用いて金属層を得る、窒化金属変換方法を提供することである。

【0016】

【課題を解決するための手段】本発明の1観点によれば、下地表面の上に、W、Ta、Mo、Ti、Nb、Zr、Yから成る金属群から選択した少なくとも1種の金属の窒化物層を形成する工程と、前記窒化物層の上に酸化物層を形成する工程と、前記窒化物層と前記酸化物層との積層をアニールし、前記窒化物層の少なくとも一部を金属に変換する工程とを含む窒化金属変換方法が提供される。

【0017】金属窒化物層の上に酸化物層を形成し、アニールを行うと、酸化物層は金属窒化物層から雰囲気中への窒素の通過は許容するが、雰囲気中から金属窒化物層への窒素の通過は防止する機能を果たすものと考えられる。金属窒化物層から雰囲気中に窒素が移動することにより、金属窒化物層は金属層に変換される。

【0018】なお、変換された後の金属層は、電気的には純粋な金属層とほぼ同等な性質を示すが、下地表面との界面にはバリア性、密着性を示すなんらかの残留層が形成されていると考えられる。

【0019】

【発明の実施の形態】先ず、本発明の基礎となる実験とその結果を説明する。

【0020】図5は、実験に用いた6種類のサンプルの構成を示す。図5(A1)のサンプルは、シリコン基板51の表面上に多結晶シリコン層52、窒化シリコン層53、酸化タンタル層54、WN層55を積層した構成を有する。図5(B1)のサンプルは、図5(A1)のサンプルの表面にさらにシリコン酸化物層57を形成した構成を有する。

【0021】図5(A2)のサンプルは、シリコン基板51の表面上にシリコン酸化物層54aを形成し、その上にWN層55を形成した構成を有する。図5(B2)のサンプルは、図5(A2)のサンプルの表面上にさらにシリコン酸化物層57を形成した構成を有する。

【0022】図5(A3)のサンプルは、シリコン基板51の表面上に直接WN層55を形成した構成を有する。図5(B3)のサンプルは、図5(A3)のサンプルの表面上にさらにシリコン酸化物層57を形成した構成を有する。

【0023】これら6種類のサンプルの構成を、以下の表に示す。

【0024】

【表1】

サンプル	構 成
A1	W <sub>2</sub> N (50) / Ta <sub>2</sub> O <sub>5</sub> (8) / SiN (3) / poly-Si (100) / Si-sub.
B1	SiO <sub>2</sub> (100) / W <sub>2</sub> N (50) / Ta <sub>2</sub> O <sub>5</sub> (8) / SiN (3) / poly-Si (100) / Si-sub.
A2	W <sub>2</sub> N (100) / SiO <sub>2</sub> (100) / Si-sub
B2	SiO <sub>2</sub> (100) / W <sub>2</sub> N (100) / SiO <sub>2</sub> (100) / Si-sub.
A3	W <sub>2</sub> N (100) / Si-sub.
B3	SiO <sub>2</sub> (100) / W <sub>2</sub> N (100) / Si-sub
	単 位 (nm)

表1において、A/Bの表記は、B層の上にA層を形成した構成を示す。また、材質の後ろの括弧内に示す数値はその層の厚さを単位nmで示す。

【0025】なお、Si基板としては、抵抗率10~20Ω・cmのp型基板を用いた。多結晶Si層、Ta<sub>2</sub>O<sub>5</sub>層は、それぞれCVDで作成した。W<sub>2</sub>N層は、流量100sccmのWF<sub>6</sub>、流量50sccmのN<sub>2</sub>H<sub>4</sub>、および流量1slmのH<sub>2</sub>を用い、圧力1Torrの雰囲気中350℃の基板温度でプラズマ励起CVDにより形成した。

【0026】サンプルA1、B1のSiN層はpoly-SiをRTN（急速熱窒化）により形成した。サンプルB1、B2、B3の最上層であるSiO<sub>2</sub>層は、ECRプラズマCVDにより形成した。なお、サンプルA2、B2のSi基板上的SiO<sub>2</sub>層は熱酸化により形成した。

【0027】図6は、図5に示す6種類のサンプルを形成後、種々の温度でアニール処理を行った後の金属層の抵抗率を、堆積したままのサンプルの抵抗率と共に示すグラフである。横軸はアニール温度を℃で示し、縦軸は抵抗率をμΩ・cmで示す。アニール処理は、1×10<sup>-6</sup>Torr以下の圧力の真空雰囲気中で30分間、600℃、700℃、800℃、900℃でそれぞれ行った。

【0028】堆積したままのWN層の抵抗率は、堆積条件などによって影響を受ける。本実験に用いた厚さ100nmのWN層は、200μΩ・cm程度の良好な低抵抗率を示した。特に、Ta<sub>2</sub>O<sub>5</sub>層上のWN層は、約190μΩ・cmの低い抵抗率を示している。

【0029】600℃のアニールにおいては、全てのサンプルが堆積直後の抵抗率よりも高い抵抗率を示した。

【0030】700℃のアニール処理においては、サンプルA1、B1の抵抗率は600℃のアニール処理後よりもさらに高い抵抗率を示した。その他のサンプルA2、B2、A3、B3は700℃のアニール処理後は、600℃のアニール処理後よりも低い抵抗率を示した。

この結果は、WN層の下地としてTa<sub>2</sub>O<sub>5</sub>層を用いると、他の下地層とは異なる効果があることを示している。

【0031】800℃のアニール処理を行うと、サンプルA1、B1の抵抗率は、急激な低下を示している。特にサンプルB1の抵抗率の低下が著しい。これに対し、他のサンプルA2、B2、A3、B3の抵抗率は、600℃~800℃の温度領域においてほぼリニアなゆるやかな減少を示している。

【0032】900℃のアニール処理を行うと、全てのサンプルの抵抗率は急激に低下している。なお、サンプルA1、B1の抵抗率は温度700℃~900℃の範囲内においてほぼリニアな減少を示している。

【0033】900℃のアニール処理後、最上層にシリコン酸化物を有さないサンプルA1、A2、A3の抵抗率はそれぞれ89μΩ・cm、185μΩ・cm、97μΩ・cmとなった。これらの抵抗率も十分低い値である。最上層にシリコン酸化物層を有するサンプルB1、B2、B3の抵抗率は、900℃のアニール処理後著しく低い値となり、それぞれ19μΩ・cm、19μΩ・cm、17μΩ・cmとなった。N<sub>2</sub>中、900℃30分間のアニール処理を行った場合は、ECRで作成したSiO<sub>2</sub>最上層で覆われたサンプル(B<sub>1</sub>、B<sub>2</sub>、B<sub>3</sub>)のアニール後の抵抗率はやはり20μΩ・cmに減少する。しかし、ECR-SiO<sub>2</sub>最上層を有さないサンプル(A1、A2、A3)の抵抗率は、窒化タングステン中の窒素濃度の上昇によりアニール後1000μΩ・cm以上の値に増加する。これらサンプルB1、B2、B3の抵抗率は、純粋なWの抵抗率に近く極めて低い値である。

【0034】これらの実験結果から、WN層の上にSiO<sub>2</sub>層を形成し、適当な温度でアニール処理を行うと、極めて低抵抗のW層が得られることが推定される。サンプルB2のように下地がSiであっても、ほぼ純粋なW層が得られていると考えられる。

【0035】もし、Siの上に直接W層を堆積し、90

0℃の熱処理を行えば、シリサイド化反応が生じ、WSi<sub>2</sub>等のタングステンシリサイドWSi<sub>2</sub>が生じる。WSi<sub>2</sub>はWより抵抗率が高いため上述のような低抵抗率は得られない。WSi<sub>2</sub>が生じていないことは、WN層がW層に変換されても、Siとの界面にシリサイド化を防止する何らかの残留層が存在することを示唆している。但し、残留層の組成等は未だ不明である。

【0036】各サンプルの性質を調べるため、さらに種々の実験を行った。図7は、X線回折の結果を示す。グラフの上部にサンプルB1のX線回折の結果を示し、グラフの下部にサンプルA1の結果を示す。各サンプルは堆積したままのもの、600℃のアニール処理を行ったもの、700℃のアニール処理を行ったもの、800℃のアニール処理を行ったもの、900℃のアニール処理を行ったものを図中順次上方向にずらして示している。堆積したままのサンプルは、最上層に酸化物層を有するサンプルB1も有さないサンプルA1も共にWNに関連するピークをほとんど示さず、ほぼアモルファス層であることを示している。

【0037】サンプルA1においては、600℃～900℃のアニール処理を行うと、WNの結晶に由来するピークが徐々に明確に現れている。回折角 $2\theta = 43.8^\circ$ 、 $63.8^\circ$ 、 $76.4^\circ$ のピークはそれぞれW<sub>2</sub>Nの(200)、(220)、(311)の結晶面に対応する。 $2\theta = 37.5^\circ$ のピークは(111)面を表す。

【0038】なお、(111)結晶方向を有するW<sub>2</sub>N層は、その上にAl層を堆積した時に(111)配向を実現する好適な下地層を提供する。

【0039】WN層の上にシリコン酸化物層を有するサンプルB1においては、アニール温度が600℃から800℃と上昇するにつれ、サンプルA1と同様W<sub>2</sub>Nの(111)、(200)、(220)、(311)のピークが観察される外、アニール温度800℃、900℃の測定結果においては、純粋なWに起因する(110)、(200)、(211)のピークが発生している。特に、900℃のアニール処理後においては、W<sub>2</sub>Nのピークは消滅し、Wのピークのみが観察される。

【0040】この実験結果は、900℃のアニール処理を行うと、W<sub>2</sub>N層はほぼ完全にW層に変換されることを示している。

【0041】図6に示すように、下地層がTa<sub>2</sub>O<sub>5</sub>層の場合、その上のWN層は他の下地層上のサンプルとは異なる挙動を示した。

【0042】図8は、Ta<sub>2</sub>O<sub>5</sub>層の上にW<sub>2</sub>N層を堆積し、その上にシリコン酸化物層を形成しなかったサンプルA1について行った、2次イオン質量分析(SIMS)測定の結果を示す。図8(A)に堆積したままの膜の測定結果を示し、図8(B)に900℃でアニール処理を行った後の測定結果を示す。900℃のアニール処

理後は、OとCの成分が増加していることが判る。また、W<sub>2</sub>N層とTa<sub>2</sub>O<sub>5</sub>層との間に、遷移層が形成されていることが認められる。なお、800℃以下のアニール処理においては、W<sub>2</sub>N層中のWは、Ta<sub>2</sub>O<sub>5</sub>層中に拡散しないことが認められた。

【0043】以上の実験結果から、WN層の上にSiO<sub>2</sub>層を形成し、800℃以上の温度、好ましくは800℃～900℃の範囲の温度でアニールを行うことにより、WN層をW層に変換することができることが判る。なお、アニール処理中の雰囲気は、窒素、アルゴン、ヘリウム、真空が好ましい。窒素雰囲気中でアニール処理を行っても、WN層がW層に変換されることが確認された。雰囲気はN<sub>2</sub>であっても、WN層をシリコン酸化物層で覆えばWN層のNが効率的に雰囲気中に放出される。

【0044】WN層をシリコン酸化物層で覆わず、窒素雰囲気中でアニールを行うと、WN層のN成分が増加することが認められた。この結果自身は極めて当然の結果と考えられるが、シリコン酸化物層でWN層を覆った場合の結果と併せて考えると、シリコン酸化物層の方向性フィルタ機能は明らかにされる。

【0045】なお、上述の実験はW<sub>2</sub>N層の上にSiO<sub>2</sub>層を積層して行ったが、同様の結果は、窒化物層としてWN層、Ta<sub>2</sub>N層、Ti<sub>2</sub>N層、Nb<sub>2</sub>N層、Zr<sub>2</sub>N層、YN層、Mo<sub>2</sub>N層を用いても期待できる。これらの材料はバリア金属として類似の性質を有することが知られている。また、窒化物層の上に形成する層も、SiO<sub>2</sub>の代わりに他の酸化物層を用いてもよいであろう。

【0046】図1は、本発明の実施例による半導体装置の製造方法を示す半導体基板の断面図である。

【0047】図1(A)に示すように、シリコン基板1表面に、p型ウェル2、n型ウェル3を形成する。p型ウェル2、n型ウェル3を形成した後、通常の局所酸化(LOCOS)により、シリコン基板1表面にフィールド酸化膜4を形成する。フィールド酸化膜4形成後、フィールド酸化膜で囲まれた活性領域表面に例えば厚さ5nmのゲート酸化膜5を熱酸化により形成する。

【0048】ゲート酸化膜5形成後、その上に多結晶シリコン層6を厚さ約150nm、CVDにより形成する。なお、多結晶シリコン層6には、レジストマスクを用いたイオン注入により、不純物を添加する。n型領域とすべき領域にはP<sup>+</sup>イオン、p型領域とすべき領域にはB<sup>+</sup>イオンを高濃度にイオン注入し、n<sup>+</sup>型多結晶シリコン層6n、p<sup>+</sup>型多結晶シリコン層6pを作成する。なお、多結晶シリコンの代わりにアモルファスシリコンを堆積してもよい。

【0049】多結晶シリコン層6の上に、W<sub>2</sub>N層7を厚さ約100nm形成する。たとえば、流量100sccmのWF<sub>6</sub>、流量50sccmのNH<sub>3</sub>、流量1slmのH<sub>2</sub>を用いたCVDにより、基板温度約350℃で

W<sub>2</sub> N層を形成する。

【0050】W<sub>2</sub> N層7堆積後、厚さ約100nmのSiO<sub>2</sub>層8を形成する。たとえば、SiH<sub>4</sub>とO<sub>2</sub>を用いたECRプラズマCVDによりSiO<sub>2</sub>層を堆積する。

【0051】このようにシリコン基板1表面上に積層構造を形成した後、N<sub>2</sub>雰囲気中850℃で約30分間のアニール処理を行う。このアニール処理により、上述の実験結果が示すように、W<sub>2</sub> N層中のNがSiO<sub>2</sub>を通過してN<sub>2</sub>雰囲気中に移動し、W<sub>2</sub> N層7は、W層に変化する。なお、便宜上W層に変換された後もW<sub>2</sub> N層と呼ぶ。

【0052】図1(B)に示すように、積層構造の上にレジストパターンを形成し、SiO<sub>2</sub>層8、変換されたW<sub>2</sub> N層(W層)7、多結晶シリコン層6、ゲート酸化膜5をパターンニングする。なお、W<sub>2</sub> N層7は、W層7aと、多結晶シリコン層6との界面に形成される残留層7bを含む。残留層7bは、上述のようにその組成等は未だ判明しないが、変換したW層7aとその下の多結晶シリコン層6との間に存在し、WとSiとの反応を防止する機能を有する。

【0053】パターンニングしたゲート構造をマスクとし、さらにn型領域、p型領域を打ち分けるためのレジストマスクを形成し、活性領域内にn型不純物、p型不純物をイオン注入し、n型ソース/ドレイン領域9n、p型ソース/ドレイン領域9pを形成する。このようにして、CMOSトランジスタ構造が形成される。イオン注入前、またはイオン注入の後、レジストマスクは除去する。その後、ソース/ドレイン領域にそれぞれ電極を形成し、配線で接続することにより、CMOSトランジスタ回路が形成される。

【0054】図1の実施例においては、多結晶ゲート電極層に引き続き、WN層、シリコン酸化物層を続けて堆積し、パターンニングする前にアニール処理を行って、WN層をW層に変換した。アニール処理は、他のタイミングで行うこともできる。

【0055】図2は、本発明の他の実施例による半導体装置の製造方法を示す。図2(A)は、図1(A)に示す工程と同様の工程により、シリコン基板1表面上に積層構造を形成した後、レジストマスクを用いてゲート電極をパターンニングし、その後ECRプラズマCVD等により、SiO<sub>2</sub>層11を形成し、引き続き異方性プラズマエッチングを行ってゲート電極構造側壁上的のみSiO<sub>2</sub>層のサイドウォール11を残した構造を示す。

【0056】なお、サイドウォール11形成前に、LD D構造形成用のイオン注入を行い、p型ウエル2内に低濃度n型領域10n、n型ウエル3内に低濃度p型領域10pを形成している。サイドウォール11を形成した状態において、N<sub>2</sub>雰囲気中で850℃、約30分間のアニール処理を行う。

【0057】W<sub>2</sub> N層7は、その上面をSiO<sub>2</sub>層8で覆われ、側面をSiO<sub>2</sub>のサイドウォール11によって覆われている。W<sub>2</sub> N層7からNが雰囲気中に放出されることにより、W<sub>2</sub> N層7はW層に変換される。

【0058】図2(B)に示すように、アニール処理後ゲート電極構造とレジストパターンをマスクとし、n型不純物、p型不純物のイオン注入を行い、高濃度n型領域12n、高濃度p型領域12pを作成する。以後、電極、配線等を形成し、CMOS半導体装置を形成する。

【0059】以上、W層と多結晶Si層の積層で形成されたゲート電極を有するMOSTランジスタを作成する方法を説明した。WN層から変換したW層は、他の部材にも利用することができる。

【0060】図3は、上下配線層間の接続用プラグとしてW層を形成する場合を示す。図3(A)に示すように、半導体基板20は、その表面の一部に導電領域21を含む。導電領域21は、Si領域でもSi表面上に形成した配線層でも、Si表面上の絶縁層の上に形成した配線層でもよい。半導体基板20の表面に、導電領域21を覆って酸化膜22が形成される。

【0061】図3(B)に示すように、酸化膜22の表面上にさらに窒化膜23が形成される。窒化膜23は、後のエッチバック処理または研磨処理、およびエッチング処理においてストップとしての機能を果たす。

【0062】図3(C)に示すように、窒化膜23の表面上にレジストパターン24が形成され、このレジストパターン24をエッチングマスクとし、開孔25が窒化膜23、酸化膜22を貫通して形成される。なお、開孔25の底部には、シリコン基板20表面の導電領域21が露出する。

【0063】図3(D)に示すように、開孔25を形成した基板表面上に、WN層26をプラズマ励起CVDにより堆積する。WN層26は、開口25を十分埋め戻す厚さとする。

【0064】図3(E)に示すように、表面からWN層26をエッチバックまたは研磨することにより、開孔25内のWN層26を残し、窒化膜23表面上のWN層を除去する。好ましくは、残されたWN層26は窒化膜23と同一平面を形成する。

【0065】図3(F)に示すように、開孔内に残されたWN層26を覆い、窒化膜23上に酸化膜27をECRプラズマCVDにより堆積する。この段階で、例えば850℃、30分間のアニールを行う。このアニールにより、WN層26はW層に変換される。その後、表面の酸化膜27は除去する。この時、窒化膜23はエッチストップとして機能する。

【0066】図3(G)に示すように、W層に変換されたWN層26aを覆うように窒化膜23上にA1層28を形成し、パターンニングすることにより上層配線を形成する。このように、開孔中に埋め込んだWN層を用いて

Wプラグを形成することができる。

【0067】Wプラグの外、WN層を用いて配線自体を形成することもできる。図4は、本発明の他の実施例による半導体装置の製造方法を示す。図4(A)に示すように、表面に導電領域(図示せず)を有する半導体基板20表面上にSiO<sub>2</sub>層22を形成し、レジストマスクを用いたエッチングにより所望の開孔25を形成する。

【0068】図4(B)に示すように、SiO<sub>2</sub>層22を覆うように基板全面上にW<sub>2</sub>N層26をプラズマ励起CVDにより堆積し、レジストマスクを用いてパターニングする。この状態でも、パターニングされたWN層26は配線として機能するが、その抵抗がW配線と較べ高い。

【0069】図4(C)に示すように、WN層26を覆うようにSiO<sub>2</sub>層27を堆積する。この状態で、例えば850℃、30分間のアニールを行う。アニールにより、WN層26はW層に変換される。W層に変換された配線は、WN配線と較べ抵抗が著しく低下する。なお、アニールの際用いたシリコン酸化膜27は、そのまま層間絶縁膜またはその一部として利用することができる。

【0070】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0071】

【発明の効果】以上説明したように、本発明によれば、金属窒化物層を金属層に変換する新規な方法が提供される。金属としてWを用いた場合、半導体装置の配線として好適なW配線を形成することができる。

【0072】W等の金属とSi表面とを直接接触させても、本方法による金属層は、Siとシリサイド化反応を生じない。

【図面の簡単な説明】

【図1】本発明の実施例による半導体装置の製造方法を\*

\*説明するための半導体基板の断面図である。

【図2】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図3】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図4】本発明の実施例による半導体装置の製造方法を説明するための半導体基板の断面図である。

【図5】本発明の基礎となる実験に用いたサンプルの構成を示す概略断面図である。

10 【図6】図5に示すサンプルのアニールによる抵抗率の変化を示すグラフである。

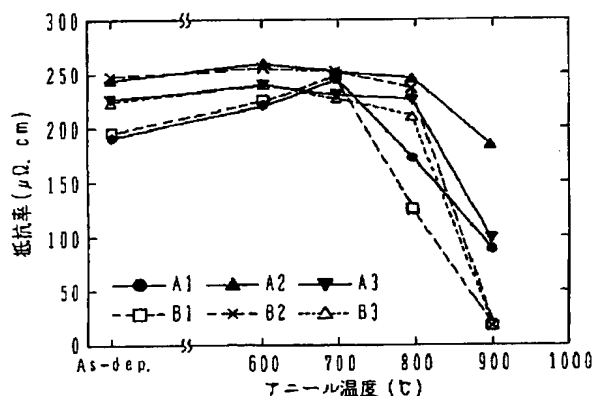
【図7】図5に示すサンプルの内2種類のサンプルのアニールによるX線回折のデータを示すグラフである。

【図8】図5のサンプルA1の堆積したままのものおよび900℃のアニールを行ったもののSIMS測定結果を示すグラフである。

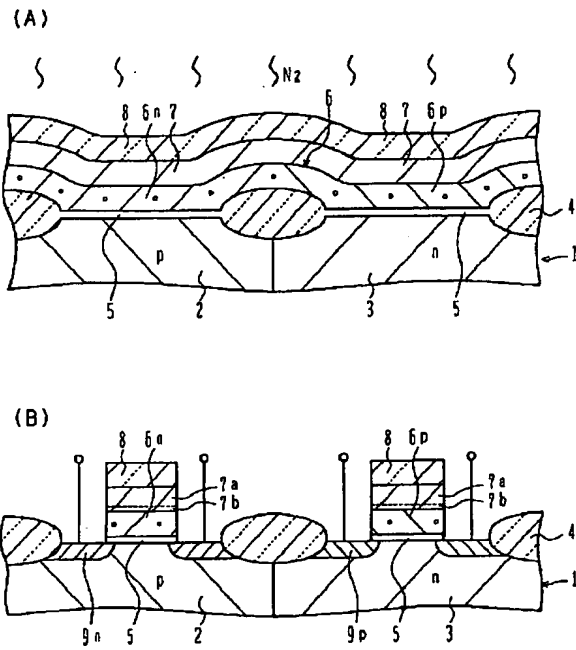
【符号の説明】

- 1 シリコン基板
- 2 p型ウエル
- 3 n型ウエル
- 4 フィールド酸化膜
- 5 ゲート酸化膜
- 6 多結晶シリコン層
- 7 WN層
- 8 シリコン酸化物層
- 9 ソース/ドレイン領域
- 10 LDD領域
- 11 サイドウォール
- 20 半導体基板
- 21 導電領域
- 26 WN層
- 27 シリコン酸化物層
- 28 A1配線層

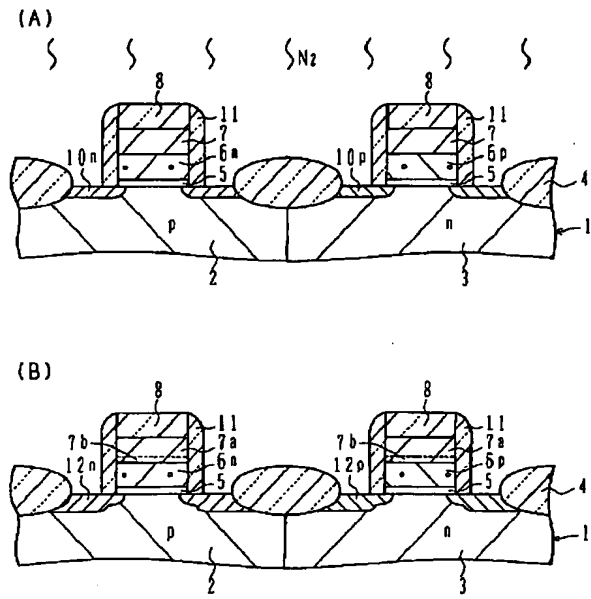
【図6】



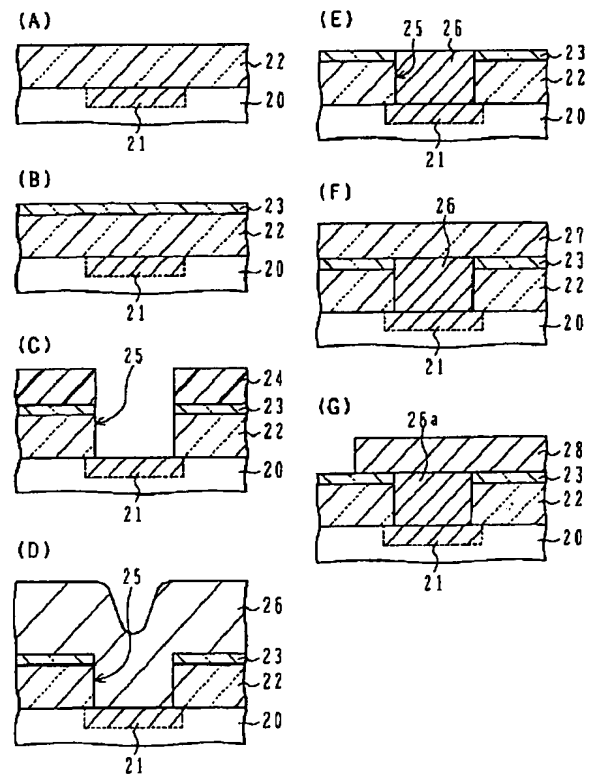
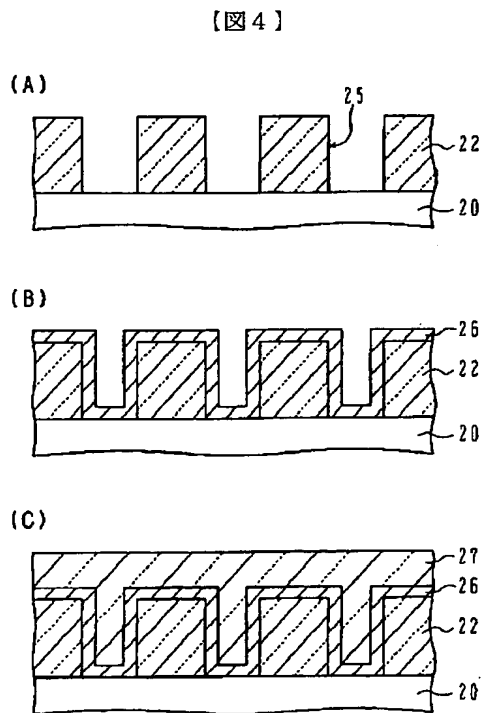
【図1】



【図2】

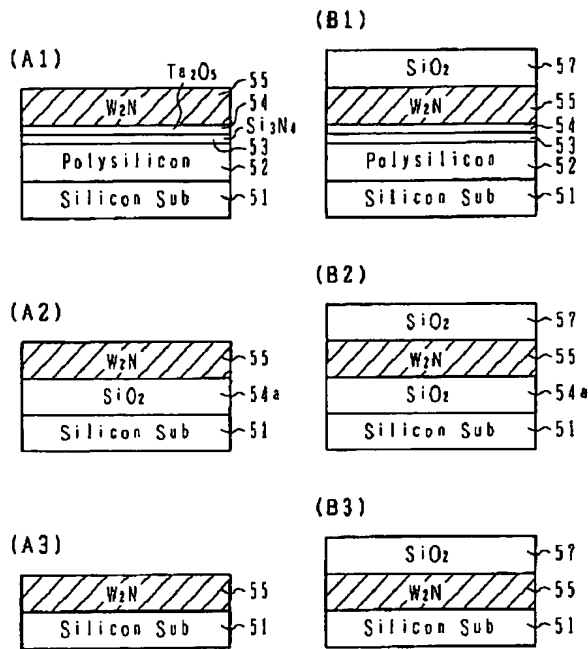


【図3】

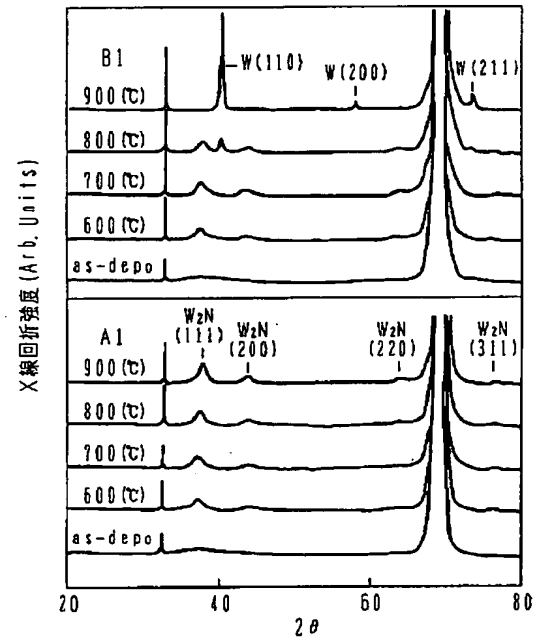




【図5】



【図7】



【図8】

